

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

[Claim(s)]

[Claim 1] In the IC memory of the multichip mold formed with two or more semiconductor chips 1st at least one chip in which the store circuit section which has a memory cell array was formed on the semi-conductor substrate, It is the IC memory which is equipped with the 2nd chip in which the input circuit section into which a signal is inputted from the exterior, the output circuit section which outputs a signal to the exterior, and the power circuit section which supplies the power source to each internal circuitry were formed on the semi-conductor substrate, and is characterized by sticking the 1st chip of the above on the 2nd chip, and connecting it.

[Claim 2] The 1st chip of the above is an IC memory according to claim 1 characterized by connecting on the 2nd chip using a bump.

[Claim 3] The 2nd chip of the above is an IC memory given in either claim 1 characterized by forming the component for performing surge absorption which comes to form a separation area of exposed oxide between two n+ diffusion fields formed on the semi-conductor substrate, or claim 2.

[Claim 4] An IC memory given in either of claim 1 to claims 3 which make thin thickness of the semiconductor device formed in the 1st chip of the above, and are characterized by thickening thickness of the semiconductor device formed in the 2nd chip of the above, and forming it.

[Claim 5] The IC memory according to claim 4 which makes thin thickness of the gate oxide of the transistor formed in the 1st chip of the above, and is characterized by thickening thickness of the gate oxide of the transistor formed in the 2nd chip of the above, and forming it.

[Claim 6] An IC memory given in either of claim 1 to claims 5 characterized by forming the wiring layer which forms the wiring layer formed in the 1st chip of the above with a thin film, and is formed in the 2nd chip of the above with a thick film.

[Claim 7] The 2nd chip of the above is an IC memory given in either of claim 1 to claims 6 characterized by forming the capacitor for decouples in a free area.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the multichip IC memory which constituted semiconductor memory using two or more semiconductor chips especially about semiconductor memory.

[0002]

[Description of the Prior Art] Drawing 7 is the outline block diagram having shown the example of a

circuit of the IC memory which forms DRAM of 8Mx32 in the former. IC memory 150 consists of the memory cell array 151, the low decoder 152, a column decoder and an amplifying circuit 153, the PURIDE coder 154, the I/O circuit 155, a power circuit 156, a control circuit 157, an input buffer 158, and an address buffer 159 in drawing 7. The I/O circuit 155 outputs and inputs the data from the outside, and a power circuit 156 generates each electrical potential difference, a signal for power on reset, etc. for each internal circuitries based on the power source supplied from the outside.

[0003] Moreover, a control circuit 157 performs control of the low decoder 152, a column decoder and an amplifying circuit 153, the PURIDE coder 154, the I/O circuit 155, a power circuit 156, and an address buffer 159. The control signal from the outside, such as a write enable signal and a chip enable signal, is inputted, and, as for an input buffer 158, the address data from the outside are inputted, as for an address buffer 159. In addition, a sense amplifier, a column decoder, an I/O switch transistor, pre amplifier, etc. are included in the above-mentioned column decoder and an amplifying circuit 153.

[0004] Drawing 8 is drawing having shown the layout of each circuit at the time of forming DRAM shown by above-mentioned drawing 7 with one chip. In drawing 8, a power circuit 156 is formed in the parts of 201 and 202 at a chip 200, respectively, a control circuit 157 and an input buffer 158 are formed in the part of 203, the memory cell array 151, the low decoder 152, a column decoder and an amplifying circuit 153, and the PURIDE coder 154 are formed in the parts of 204-207, and the I/O circuit 155 and an address buffer 159 are formed in the parts of 208 and 209.

[0005] Drawing 9 is drawing having shown the example of pinout of IC memory 150 formed with the chip 200 shown by above-mentioned drawing 8, and drawing 10 is the schematic diagram having shown the example of structure in the IC package shown by drawing 9. In drawing 10, each pad 301 with which IC memory 150 was formed in the above-mentioned chip 200 is electrically connected to the predetermined part of a leadframe 303 by the bonding wire 302, respectively.

[0006]

[Problem(s) to be Solved by the Invention] The input-protection circuit is established in the input in the above-mentioned input buffer 158 and address buffer 159 grade, and the component (it is hereafter called a field transistor) for which this input-protection circuit performs surge absorption is formed in it. Drawing 11 is the chip sectional view having shown the example of structure of a field transistor. The field transistor 400 comes to form the separation area of exposed oxide 404 between two n+ diffusion fields 402 and 403 formed in p form silicon substrate 401. It connects with the aluminum wiring 406 formed in the insulator layer 405, and nothing and n+ diffusion field 403 are connected to the aluminum wiring 407 formed in the insulator layer 405 in the source of an n channel mold MOS transistor, and n+ diffusion field 402 makes the drain of an n channel mold MOS transistor.

[0007] The drain of the above-mentioned field transistor 400 is connected to the Vss terminal shown by above-mentioned drawing 7 and drawing 9, and when the signal which the big undershirt short circuit generated is inputted into the source of the field transistor 400, an electron is poured in to p form silicon substrate 401. For example, in the case of the system which operates at a high speed, the undershirt short circuit of -3~-4V occurs, since bias of the p form silicon substrate 401 is carried out to Vss or about -1~-2V, n+ diffusion field 402 and p form silicon substrate 400 which make the source of the field transistor 400 serve as forward bias, and an electron is injected into p form silicon substrate 400.

[0008] Since DRAM shown by drawing 11 from above-mentioned drawing 7 is formed with one chip, n+ diffusion field 402 and the memory cell array 151 which make the source of the above-mentioned field transistor 400 are formed in the same substrate. For this reason, the above-mentioned electron poured in from n+ diffusion field 402 reached to the memory cell array 151, and there was a problem of destroying the data memorized by the memory cell and that the so-called poor injection occurred.

[0009] Furthermore, when DRAM of 8Mx32 is formed with one chip as mentioned above, a chip size is set to 2 about 300mm. However, when the chip size exceeded 2 100mm, the yield fell rapidly, and there was a problem that chip cost went up.

[0010] It aims at obtaining the IC memory which can reduce chip cost while this invention is made in order to solve the above problems, and it can lose above-mentioned poor injection.

[0011]

[Means for Solving the Problem] In the IC memory of the multichip mold in which the IC memory concerning invention of \*\*\*\* 1 was formed with two or more semiconductor chips 1st at least one chip in which the store circuit section which has a memory cell array was formed on the semiconductor substrate, It has the 2nd chip in which the input circuit section into which a signal is inputted from the exterior, the output circuit section which outputs a signal to the exterior, and the power circuit section which supplies the power source to each internal-circuitry section were formed on the semiconductor substrate, and the 1st chip of the above is stuck on the 2nd chip, and is connected.

[0012] In the 1st invention, as for the IC memory concerning invention of \*\*\*\* 2, the 1st chip of the above is connected on the 2nd chip using a bump.

[0013] The IC memory concerning invention of \*\*\*\* 3 forms in the 2nd chip of the above the component for performing surge absorption which comes to form a separation area of exposed oxide between two n+ diffusion fields formed on the semiconductor substrate in the 1st or 2nd invention.

[0014] In the 1st to 3rd invention, the IC memory concerning invention of \*\*\*\* 4 makes thin thickness of the semiconductor device formed in the 1st chip of the above, thickens thickness of the semiconductor device formed in the 2nd chip of the above, and forms it.

[0015] In the 4th invention, the IC memory concerning invention of \*\*\*\* 5 makes thin thickness of the gate oxide of the transistor formed in the 1st chip of the above, thickens thickness of the gate oxide of the transistor formed in the 2nd chip of the above, and forms it.

[0016] The IC memory concerning invention of \*\*\*\* 6 forms the wiring layer which forms the wiring layer formed in the 1st chip of the above with a thin film, and is formed in the 2nd chip of the above with a thick film in the 1st to 5th invention.

[0017] The IC memory concerning invention of \*\*\*\* 7 forms the capacitor for decouples in the free area of the 2nd chip of the above in the 1st to 6th invention.

[0018]

[Embodiment of the Invention] Next, this invention is explained to a detail based on the gestalt of operation shown in a drawing.

Gestalt 1. drawing 1 of operation is the block diagram having shown the example of a circuit of the multichip IC memory in the gestalt 1 of operation of this invention.

[0019] It is drawing 1 -- IC memory 1 with memory cell array 2a, 2b, and 2c and 2d The low decoders 3a, 3b, 3c, and 3d, and a column decoder and amplifying circuits 4a, 4b, 4c, and 4d, The PURIDE coders 5a, 5b, 5c, and 5d and the I/O circuits 6a, 6b, 6c, and 6d which output and input data with the exterior, Low decoder 3a, column decoder, and amplifying-circuit 4a and control circuit 7a which controls I/O circuit 6a in a PURIDE coder 5a list, Low decoder 3b, column decoder, and amplifying-circuit 4b and control circuit 7b which controls I/O circuit 6b in a PURIDE coder 5b list, It has low decoder 3c, column decoder, and amplifying-circuit 4c, control circuit 7c which controls I/O circuit 6c in a PURIDE coder 5c list, low decoder 3d and a column decoder and 4d of amplifying circuits, and 7d of control circuits which perform control of 6d of I/O circuits in a PURIDE coder 5d list.

[0020] IC memory 1 is based on the power source supplied from the outside. Furthermore, the pressure-lowering supply voltage  $V_{int}$  for internal circuitries The electrical potential difference  $V_{bb}$  for silicon substrate bias, the pressure-up electrical potential difference  $V_{pp}$  for word line actuation, The electrical potential difference  $V_{cp}$  for cell plates and the electrical potential difference  $V_{bl}$  for bit line potential maintenance are generated. Furthermore, the power circuit 8 which generates the signal POR for the power on reset of a power up etc., the row address strobe signal inputted from the outside, The input buffer 9 which outputs the signal generated based on the chip enable signal and the write enable signal to control circuits 7a-7d, It is controlled by the enable signal from the above-mentioned control circuits 7a-7d, and has the address buffer 10 which generates an internal address signal based on the address signal from the outside.

[0021] It connects with the  $/WE$  terminal into which each terminal of  $/CE0$  into which the  $/RAS$  terminal into which a row address strobe signal  $/RAS$  is inputted, a chip enable signal  $/1/3$  are inputted,  $/CE1/3$  and a write enable signal  $/WE$  is inputted, respectively, and the above-mentioned input buffer 9 is further connected to each control circuits 7a-7d, respectively. [  $CE0/CE1$  ]

[ CE2/CE3 ] [ CE2/CE3 ] Moreover, it connects with each terminal of A0-A13 into which address signals A0-A13 are inputted, respectively, and the above-mentioned address buffer 10 is further connected to each PURIDE coders 5a-5d, respectively. In addition, / shows reversal of signal level.

[0022] It connects with the low decoders 3a-3d which correspond, respectively, a column decoder and amplifying circuits 4a-4d, and a PURIDE coder 5a-5d list in the I/O circuits 6a-6d, and each above-mentioned control circuits 7a-7d are further connected to a power circuit 8 and an address buffer 10, respectively. Moreover, a column decoder and amplifying circuits 4a-4d are connected to the memory cell arrays 2a-2d corresponding to the low decoders 3a-3d and a list, respectively, and a column decoder and amplifying circuits 4a-4d are further connected to the I/O circuits 6a-6d which correspond, respectively. The above-mentioned PURIDE coders 5a-5d are connected to the column decoder and amplifying circuits 4a-4d which correspond, respectively while connecting with the low decoders 3a-3d which correspond, respectively. Furthermore, a column decoder and amplifying circuits 4a-4d are connected to the corresponding I/O circuits 6a-6d.

[0023] The above-mentioned I/O circuit 6a is connected to each terminal of the data input/output terminals DQ0-DQ7, I/O circuit 6b is connected to each terminal of the data input/output terminals DQ8-DQ15, I/O circuit 6c is connected to each terminal of the data input/output terminals DQ16-DQ23, and 6d of I/O circuits is connected to each terminal of the data input/output terminals DQ24-DQ31. It connects with power supply terminals Vdd and Vss, and further, the above-mentioned power circuit 8 omits the connection, although supply of a power source etc. is performed to each circuit. In addition, IC memory 1 is equipped with power supply terminals VddQ and VssQ independently [ power supply terminals Vdd and Vss ], and these power supply terminals VddQ and VssQ are omitting the connection here, although it connects with the predetermined part of each circuit.

[0024] The above-mentioned column decoder and amplifying circuits 4a-4d The sense amplifier for amplifying the data of a memory cell connected by the word line chosen by the low corresponding decoders 3a-3d, The column decoder for choosing this sense amplifier based on a corresponding PURIDE coders [ 5a-5d ] output, The I/O switch transistor for connecting the above-mentioned sense amplifier to a local I/O line based on the output signal from a column decoder, the pre amplifier which amplifies the signal by which reading appearance was carried out to this local I/O line are included. Furthermore, you may make it the above-mentioned column decoder and amplifying circuits 4a-4d include the light circuit for writing data in the corresponding memory cell arrays 2a-2d based on an I/O circuits [ 6a-6d ] corresponding output signal.

[0025] The above-mentioned PURIDE coders 5a-5d generate a PURIDE code signal from the internal address signal inputted from the address buffer 10, and output this PURIDE code signal to the low corresponding decoders 3a-3d and a corresponding list in a column decoder and amplifying circuits 4a-4d. Moreover, the above-mentioned I/O circuits 6a-6d output data from each data terminal based on the output signal of the pre amplifier in a corresponding column decoder and corresponding amplifying circuits 4a-4d. In addition, as for nothing and the I/O circuits 6a-6d, nothing, the I/O circuits 6a-6d, an input buffer 9, and an address buffer 10 also make [ the above-mentioned memory cell arrays 2a-2d, the low decoders 3a-3d, a column decoder and amplifying circuits 4a-4d the PURIDE coders 5a-5d, and control circuits 7a-7d / the store circuit section ] the output circuit section for the input circuit section. Moreover, the above-mentioned power circuit 8 makes the power circuit section.

[0026] In the above configurations Memory cell array 2a, low decoder 3a, Form control circuit 7a in column decoder and amplifying-circuit 4a and a PURIDE coder 5a list with one chip, and it considers as a chip 20. Memory cell array 2b, low decoder 3b, a column decoder, and amplifying-circuit 4b, Form control circuit 7b in a PURIDE coder 5b list with one chip, and it considers as a chip 30. Memory cell array 2c, low decoder 3c, a column decoder, and amplifying-circuit 4c, Control circuit 7c is formed in a PURIDE coder 5c list with one chip, it considers as a chip 40, 7d of control circuits is formed in memory cell array 2d, low decoder 3d, a column decoder and 4d of amplifying circuits, and a PURIDE coder 5d list with one chip, and it considers as a chip 50.

[0027] Furthermore, the above-mentioned I/O circuits 6a-6d, a power circuit 8, an input buffer 9, and an address buffer 10 are formed with one chip, and it considers as a chip 60, and on this chip 60,

each above-mentioned chips 20, 30, 40, and 50 are arranged, respectively, and it connects. Here, the above-mentioned control circuits 7a-7d will output a signal to a power circuit 8, if the signal which enables the chip formed, respectively is inputted, and a power circuit 8 makes small capacity of the power source supplied to each chip with which the control circuit which did not receive this signal was formed. In addition, the above-mentioned chips 20, 30, 40, and 50 form the 1st chip, and nothing and the above-mentioned chip 60 form the 2nd chip.

[0028] Next, drawing 2 is drawing having shown the sample layout which arranges the above-mentioned chips 20, 30, 40, and 50 on a chip 60. In drawing 2, memory cell array 2a, low decoder 3a, column decoder, and amplifying circuit 4a is formed in the parts of 21-24, PURIDE coder 5a is formed in a list at a chip 20, and control circuit 7a is formed in the part of 25. Memory cell array 2b, low decoder 3b, column decoder, and amplifying circuit 4b is formed in the parts of 31-34, PURIDE coder 5b is formed in a list at a chip 30, and control circuit 7b is formed in the part of 35.

[0029] Similarly, memory cell array 2c, low decoder 3c, column decoder, and amplifying circuit 4c is formed in the parts of 41-44, PURIDE coder 5c is formed in a list at a chip 40, and control circuit 7c is formed in the part of 45. PURIDE coder 5d is formed in the parts of 51-54 in memory cell array 2d, low decoder 3d, a column decoder and 4d of amplifying circuits, and a list at a chip 50, and 7d of control circuits is formed in the part of 55. Moreover, the I/O circuits 6a-6d, an input buffer 9, and an address buffer 10 are formed in the parts of 61-64 at a chip 60, and a power circuit 8 is formed in the part of 65. Furthermore, while the above-mentioned chips 20, 30, 40, and 50 are arranged on a chip 60, respectively, it connects.

[0030] Usually, the yield can be improved by [ which divide into the above-mentioned chips 20, 30, 40, and 50 the circuit part where a degree of integration if the percent defective of the circuit part where a degree of integration is high is high and a chip size exceeds 2 100mm further, since the yield will fall rapidly becomes high, and forms ] making it not both exceed 2 for the chip size of chips 20, 30, 40, and 50 100mm, and chip cost can be reduced. In addition, what is necessary is just to make it a chip size become two or less [ 100mm ] in the gestalt 1 of this operation, as the part to which a degree of integration becomes high is divided into further many chips although the part to which a degree of integration becomes high was divided and formed in four chips 20, 30, 40, and 50, when it does not limit to this and the chip size of chips 20, 30, 40, and 50 exceeds 2 100mm.

[0031] Next, drawing 3 is the sectional view of an outline having shown the connection method which connects a chip 20 on a chip 60, using drawing 3, about how to connect chips 20, 30, 40, and 50 on a chip 60, makes a chip 20 an example and explains it. In addition, in drawing 3, in order to give explanation intelligible, each device formed in chips 20 and 60 is omitted, and only the part about connection of chips 20 and 60 is shown. Moreover, drawing 3 shows some chips 20 and 60.

[0032] In drawing 3, the electrodes 71 and 72 for connection are formed in the field of the method of one in which each device of a chip 20 was formed, and the insulator layer 73 is not formed on this electrode 71 and 72, respectively. Similarly, the electrodes 75 and 76 for connection are formed in the field of the method of one in which each device of a chip 60 was formed, the pad 77 for connecting with a leadframe using a bonding wire further is formed in it, and the insulator layer 78 is not formed on these electrodes 75 and 76 and a pad 77, respectively. The above-mentioned electrode 71, the electrode 75, and an electrode 72 and an electrode 76 are formed in the location which corresponded, respectively, an electrode 71 and an electrode 75 are connected using a bump 81, and an electrode 72 and an electrode 76 are connected using a bump 82.

[0033] Drawing 4 is the schematic diagram having shown the example of structure in the IC package in the IC memory of the gestalt 1 of this operation. In drawing 4, each pad 77 formed in the chip 60 to which IC memory 1 connected chips 20, 30, 40, and 50 by the approach shown by above-mentioned drawing 3 is electrically connected to the predetermined part of a leadframe 86 by the bonding wire 85, respectively.

[0034] Next, drawing 5 is an example of a circuit which shows a part of address buffer 10 shown by above-mentioned drawing 1. In addition, the pad 77 shown by drawing 5 is set to pad 77a. In drawing 5, the input-protection circuit 91 which has a field transistor is connected to the pad 77 into which an address signal is inputted from the exterior. This input-protection circuit 91 is formed by the field transistor 92, n channel mold MOS transistor 93, and two resistance 94 and 95.

[0035] The source of the field transistor 92 is connected to pad 77a through resistance 94, and the drain of n channel mold MOS transistor 93 is connected to this connection through resistance 95. The gate and the source of the drain of the field transistor 92 and n channel mold MOS transistor 93 are connected to a Vss terminal, respectively. The connection of the drain of n channel mold MOS transistor 93 and resistance 95 is connected to one input terminal of NOR circuit 96, and when indeterminate input potential is impressed to a pad 77, the address buffer enable signal / CAI for preventing the current which flows to NOR circuit 96 are inputted into the input terminal of another side of NOR circuit 96.

[0036] It connects with the output of above-mentioned NOR circuit 97 through an inverter circuit 97 in a transmission gate 98, and this transmission gate 98 is connected to the latch circuit 101 formed by two inverter circuits 99, 100, and this latch circuit 101 is connected to each PURIDE coders 5a-5d through an inverter circuit 102. Moreover, the address latch signal / CAL for making the signal inputted into the pad 77 latch to the above-mentioned latch circuit 101 to predetermined timing are inputted into the gate of a p channel mold MOS transistor through the gate and the inverter circuit 103 of an n channel mold MOS transistor which form a transmission gate 98, respectively.

[0037] In such a configuration, the address buffer 10 including the above-mentioned input-protection circuit 91 is formed in the chip 60 shown by above-mentioned drawing 2, and the field transistor 92 is also formed in the chip 60. Here, the memory cell arrays 2a-2d are not formed in a chip 60, but are formed in chips 20, 30, 40, and 50, respectively. From this, since the field transistor 92 and the memory cell arrays 2a-2d are not formed in the same chip, the poor injection generated by the undershoot in the signal inputted from a pad 77 can be prevented. In addition, n channel mold MOS transistor 93 which constitutes the above-mentioned input-protection circuit 91 is used for a check of operation.

[0038] Drawing 6 is an example of a circuit which shows an I/O circuits [ which were shown by above-mentioned drawing 1 / 6a-6d ] part. In addition, the pad 77 shown by drawing 6 is set to pad 77b. In drawing 6, the source of n channel mold MOS transistor 111 and the drain of n channel mold MOS transistor 112 are connected to pad 77b, the drain of n channel mold MOS transistor 111 is connected to the power supply terminal VddQ of IC memory 1, and the source of n channel mold MOS transistor 112 is connected to the power supply terminal VssQ of IC memory 1.

[0039] The gate of n channel mold MOS transistor 111 is connected to the output of the level-conversion circuit 113, and the input of this level-conversion circuit 113 is connected to the output of NAND circuit 114. One input of NAND circuit 115 is connected to one input of NAND circuit 114, and the output enable signal OEM from a control circuit is inputted into this connection.

[0040] The column decoder corresponding to an I/O circuit and data signal DATA from an amplifying circuit are inputted into the input terminal of another side of NAND circuit 114, and the reversal data signal / DATA from the column decoder corresponding to an I/O circuit in an input and amplifying circuit of another side of NAND circuit 115 are inputted into it. The output of NAND circuit 115 is connected to the input of an inverter circuit 116, and the output of an inverter circuit 116 is connected to the gate of n channel mold MOS transistor 112.

[0041] Moreover, in the above-mentioned level-conversion circuit 113, a power supply terminal 117 is connected to a power circuit 8, the pressure-up electrical potential difference Vpp is supplied from a power circuit 8, and a power supply terminal 118 is connected to the Vss terminal of IC memory 1. In addition, the above-mentioned power supply terminal 117 may be connected to the Vdd terminal of IC memory 1. Thus, it can prevent that the noise generated at the time of the data output to which data are outputted turns to the level-conversion circuit 113 through a chip substrate from pad 77b by dividing the power source connected to the power supply terminal 117, 118 and n channel mold MOS transistor 111, 112 of the level-conversion circuit 113. Moreover, "H" level of the signal outputted from pad 77b can be made high by supplying the pressure-up electrical potential difference Vpp to the power supply terminal 117 of the level-conversion circuit 113.

[0042] Here, since it connects with a column decoder and an amplifying circuit, each input of above-mentioned NAND circuits 114 and 115 can form only the part of above-mentioned NAND circuits 114 and 115 in the corresponding chips 20, 30, 40, and 50 in the above-mentioned I/O circuits 6a-6d. Since the number of bumps is reducible while being able to shorten wiring and being able to simplify wiring by doing in this way, the cost can be cut down.

[0043] Furthermore, the capacitor for decouples can be formed by forming a two-layer metal wiring layer and a two-layer separation oxide film in free areas other than the field of 61-65 in the above-mentioned chip 60. Since the above-mentioned free area can be greatly formed in a chip 60 as compared with the case where it forms with one conventional chip, from having made it the multichip structure of connecting chips 20, 30, 40, and 50 for IC memory 1 on a chip 60, the capacitor for decouples of a bigger capacity than before can be formed, and the capacitors for decouples by which external was carried out can be reduced conventionally.

[0044] Thus, reduction of a noise can be aimed at by connecting the capacitor for decouples formed in the chip 60 between the VddQ terminal of IC memory 1, and a VssQ terminal, or between the terminal which outputs the pressure-up electrical potential difference Vpp of a power circuit 8, and the Vss terminal of IC memory 1. Moreover, it can also be used as a capacitor for decouples for power sources consumed with chips 20, 30, 40, and 50.

[0045] As mentioned above, the multichip IC memory in the gestalt 1 of operation of this invention The memory cell arrays 2a-2d, the low decoders 3a-3d which are circuit parts with a high degree of integration, A column decoder and amplifying circuits 4a-4d, the PURIDE coders 5a-5d, and control circuits 7a-7d are formed in chips 20, 30, 40, and 50, respectively. The I/O circuits 6a-6d which are circuit parts with a comparatively low degree of integration, the power circuit 8, the input buffer 9, and the address buffer 10 were formed in the chip 60, and the above-mentioned chips 20, 30, 40, and 50 have been arranged on a chip 60, respectively, and it connected.

[0046] From this, the die length of the signal line which can arrange now in three dimension and connects each part since the chip was connected for what was conventionally arranged two-dimensional on the same flat surface in piles can be shortened, and it becomes advantageous, when attaining improvement in the speed of operation. Moreover, since the manufacture process of chips 20, 30, 40, and 50 and a chip 60 can be made separate, chips 20, 30, 40, and 50 form a wiring layer with the thin film suitable for detailed-ization, and since they seldom need to make a chip 60 detailed, they become easy [forming with a thick film]. For this reason, wiring which connects the circuit which wiring of a chip 60 could make resistance small, formed in the chip 60 wiring which connects the circuit formed in the distant location, and was formed in the near location can attain improvement in the speed of a circuit by forming in chips 20, 30, 40, and 50.

[0047] Furthermore, it can also make it easy to change the gate oxidation thick film of the transistor formed in chips 20, 30, 40, and 50, and the transistor formed in the chip 60. That is, the thing suitable for thin detailed-ization of gate oxide is used for the transistor which forms the control circuit which the thick thing of gate oxide was used for the transistor into which a surge etc. may be inputted, and which forms an input buffer, an address buffer, an I/O circuit, etc. which were formed in the chip 60, and was formed in chips 20, 30, 40, and 50. By doing in this way, when it is made detailed, surge proof-pressure lowering in the I/O section to produce can be avoided. Moreover, a memory cell array can be formed in chips 20, 30, 40, and 50, a field transistor can be formed in a chip 60, a memory cell array and a field transistor can be formed in a different chip, respectively, and poor injection can be prevented.

[0048] Moreover, by forming in chips 20, 30, 40, and 50 a circuit part with the high degree of integration which poor manufacture tends to generate, and making each chip size of chips 20, 30, 40, and 50 or less [100mm] into two, the yield can be improved and lowering of chip cost can be aimed at.

[0049]

[Effect of the Invention] The IC memory concerning the 1st invention sticks the input circuit section as which 1st at least one chip in which the store circuit section which has a memory cell array was formed on the semi-conductor substrate is inputted into a signal from the exterior, the output circuit section which outputs a signal to the exterior, and the power circuit section which supplies the power source to each internal circuitry on the 2nd chip formed on the semi-conductor substrate, and it was made to connect. From this, the die length of the signal line which can arrange now in three dimension and connects each part since the chip was connected for what was conventionally arranged two-dimensional on the same flat surface in piles can be shortened, and it becomes advantageous, when attaining improvement in the speed of operation. Moreover, by forming in the 1st chip the store circuit section with the high degree of integration which poor manufacture tends

to generate, and making the chip size of the 1st chip or less [ 100mm ] into two, the yield can be improved and lowering of chip cost can be aimed at.

[0050] Specifically, the IC memory concerning the 2nd invention connected the 1st chip on the 2nd chip in the 1st invention using the bump. From this, the die length of the signal line which can arrange now in three dimension and connects each part since the chip was connected for what was conventionally arranged two-dimensional on the same flat surface by the bump in piles can be shortened, and it becomes advantageous, when attaining improvement in the speed of operation. Moreover, by forming in the 1st chip the store circuit section with the high degree of integration which poor manufacture tends to generate, and making the chip size of the 1st chip or less [ 100mm ] into two, the yield can be improved and lowering of chip cost can be aimed at.

[0051] The IC memory concerning the 3rd invention formed in the 2nd chip the component for performing surge absorption which comes to form a separation area of exposed oxide between two n+ diffusion fields formed on the semiconductor substrate in the 1st or 2nd invention. Since the component for forming a memory cell array in the 1st chip, and performing the above-mentioned surge absorption was formed in the 2nd chip from this, the poor injection which occurs in a memory cell array can be prevented.

[0052] In the 1st to 3rd invention, the IC memory concerning the 4th invention made thin thickness of the semiconductor device formed in the 1st chip, and thickened thickness of the semiconductor device formed in the 2nd chip. Surge proof pressure lowering in the I/O section produced when it is made detailed is avoidable by thickening film pressure of the semiconductor device formed in the 2nd chip into which the manufacture process of the 1st chip and the 2nd chip is independently made, and a surge etc. may be inputted from this.

[0053] In the 4th invention, the IC memory concerning the 5th invention made thin thickness of the gate oxide of the transistor formed in the 1st chip, and, specifically, thickened thickness of the transistor gate oxide formed in the 2nd chip. The thing suitable for thin detailed-ization of gate oxide is used for the transistor which the thick thing of gate oxide was used for the transistor into which the manufacture process of the 1st chip and the 2nd chip is independently made, and a surge etc. may be inputted from this, and which was formed in the 2nd chip, and was formed in the 1st chip. By doing in this way, when it is made detailed, surge proof pressure lowering in the I/O section to produce can be avoided.

[0054] The IC memory concerning the 6th invention formed the wiring layer which forms the wiring layer formed in the 1st chip with a thin film, and is formed in the 2nd chip with the thick film in the 1st to 5th invention. From this, the manufacture process of the 1st chip and the 2nd chip can be made separate, the 1st chip forms a wiring layer with the thin film suitable for detailed-ization, and since it is seldom necessary to make the 2nd chip detailed, it can perform forming with a thick film easily. For this reason, wiring which connects the circuit which wiring of the 1st chip could make resistance small, formed in the 1st chip wiring which connects the circuit formed in the distant location, and was formed in the near location can attain improvement in the speed of a circuit by forming in the 2nd chip.

[0055] The IC memory concerning the 7th invention formed the capacitor for decouples in the free area of the 2nd chip with which the component is not formed in the 1st to 6th invention. Since the above-mentioned free area can be greatly formed in the 2nd chip from this as compared with the former, the capacitor for decouples of a bigger capacity than before can be formed, and the conventional capacitors for decouples by which external was carried out can be reduced.

#### [Brief Description of the Drawings]

[Drawing 1] It is the block diagram having shown the example of a circuit of the multichip IC memory in the gestalt 1 of operation of this invention.

[Drawing 2] It is drawing having shown the sample layout which arranges chips 20, 30, 40, and 50 on a chip 60.

[Drawing 3] It is the sectional view of an outline having shown the connection method which connects a chip 20 on a chip 60.

[Drawing 4] It is the schematic diagram having shown the example of structure in the IC package of the IC memory in the gestalt 1 of operation of this invention.



[Drawing 5] It is the example of a circuit which shows a part of address buffer 10 shown by drawing 1.

[Drawing 6] It is the example of a circuit which shows an I/O circuits [ which were shown by drawing 1 / 6a-6d ] part.

[Drawing 7] It is the outline block diagram having shown the example of a circuit of the IC memory which forms DRAM in the former.

[Drawing 8] It is drawing having shown the layout of each circuit at the time of forming DRAM shown by drawing 7 with one chip.

[Drawing 9] It is drawing having shown the example of pinout of IC memory 150 formed with the chip 200 shown by drawing 8.

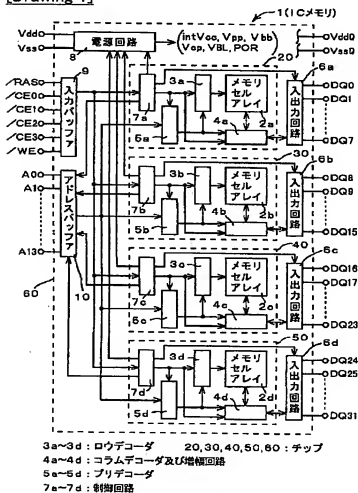
[Drawing 10] It is the schematic diagram having shown the example of structure in the IC package shown by drawing 9.

[Drawing 11] It is the chip sectional view having shown the example of structure of a field transistor. [Description of Notations]

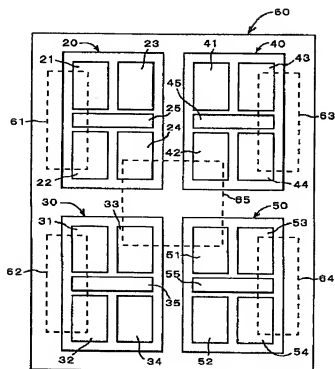
1 IC Memory, PURIDE Coder, 6a-6D I/O Circuit, 7a-7D Control Circuit, 8 Power Circuit, 9 Input Buffer, 10 Address Buffer, 2a-2D Memory Cell Array 3a-3D Low Decoder 4a-4D Column Decoder and Amplifying Circuit 5a-5D 20, 30, 40, 50, 60 Chip, 81 Bump

## DRAWINGS

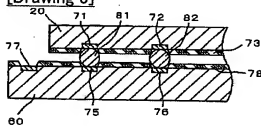
[Drawing 1]



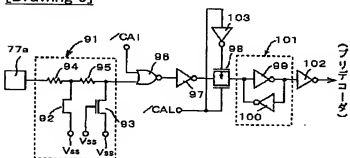
[Drawing 2]



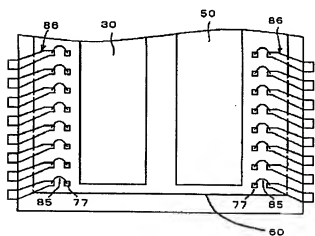
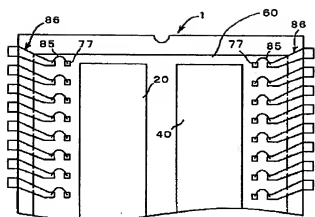
[Drawing 3]



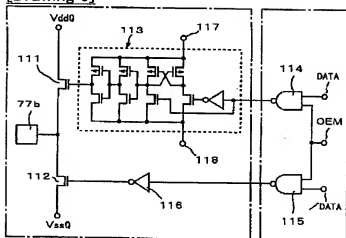
[Drawing 5]



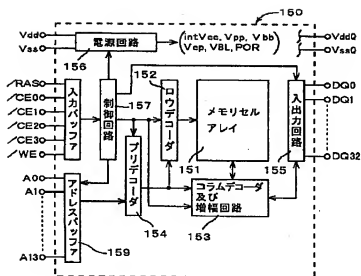
[Drawing 4]



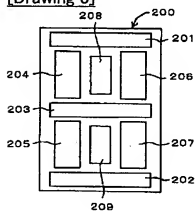
[Drawing 6]



[Drawing 7]



[Drawing 8]

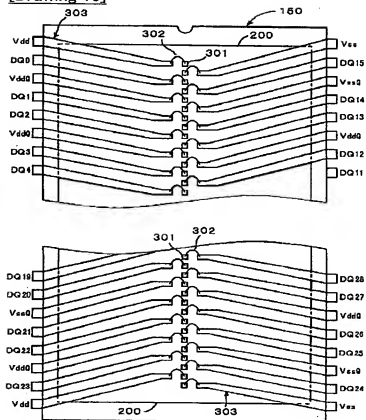


[Drawing 9]

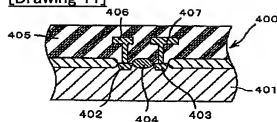
Vdd	1
DQ0	2
Vdd0	3
DQ1	4
DQ2	5
Vdd0	6
DQ3	7
DQ4	8
Vdd0	9
DQ5	10
DQ6	11
Vss0	12
DQ7	13
NC	14
NC	15
Vdd	16
NC	17
NC	18
NC	19
NC	20
✓CE0	21
✓CE0	22
✓WE	23
✓RAE	24
NC	25
NC	26
Vdd	27
A0	28
A1	29
A2	30
A3	31
A4	32
A5	33
A6	34
Vdd	35
NC	36
NC	37
DQ16	38
Vss0	39
DQ17	40
DQ18	41
Vdd0	42
DQ19	43
DQ20	44
Vss0	45
DQ21	46
DQ22	47
Vdd0	48
DQ23	49
Vdd	50

150	100
Vss	99
DQ15	98
Vdd	97
DQ14	96
DQ13	95
Vdd0	94
DQ12	93
DQ11	92
Vss0	91
DQ10	90
DQ9	89
Vdd0	88
DQ8	87
NC	86
NC	85
Vss	84
NC	83
NC	82
NC	81
NC	80
✓CE1	79
✓CE1	78
NC	77
✓G	76
NC	75
NC	74
Vss	73
A13	72
A12	71
A11	70
A10	69
A9	68
A8	67
A7	66
Vss	65
NC	64
NC	63
DQ31	62
Vdd0	61
DQ30	60
DQ29	59
Vss0	58
DQ28	57
DQ27	56
Vdd0	55
DQ26	54
DQ25	53
Vss0	52
DQ24	51
Vss	50

[Drawing 10]



[Drawing 11]



## CORRECTION OR AMENDMENT

[Kind of official gazette] Printing of amendment by the convention of 2 of Article 17 of Patent Law

[Category partition] The 2nd partition of the 7th category

[Publication date] December 16, Heisei 16 (2004. 12.16)

[Publication No.] JP,10-209371,A

[Date of Publication] August 7, Heisei 10 (1998. 8.7)

[Application number] Japanese Patent Application No. 9-6219

[The 7th edition of International Patent Classification]

H01L 25/065

H01L 25/07

H01L 25/18

G11C 5/00

[F]

H01L 25/08 B

G11C 5/00 303 A

[Procedure amendment]

[Filing Date] January 7, Heisei 16 (2004. 1.7)

[Procedure amendment 1]

[Document to be Amended] Description

[Item(s) to be Amended] Claim

[Method of Amendment] Modification

[The content of amendment]

[Claim(s)]

[Claim 1]

In the IC memory of the multichip mold formed with two or more semiconductor chips,  
1st at least one chip in which the store circuit section which has a memory cell array was formed  
on the semi-conductor substrate,

It has the 2nd chip in which the input circuit section into which a signal is inputted from the  
exterior, the output circuit section which outputs a signal to the exterior, and the power circuit

section which supplies the power source to each internal circuitry were formed on the semi-conductor substrate,

The 1st chip of the above is an IC memory characterized by the thickness of the gate oxide of the transistor which sticks on the 2nd chip, is connected and is formed in the 1st chip of the above being thinner than the thickness of the gate oxide of the transistor formed in the 2nd chip of the above.

[Claim 2]

The IC memory according to claim 1 characterized by being thinner than the thickness of the wiring layer to which the thickness of the wiring layer which connects between the circuits formed in the 1st chip of the above connects between the circuits formed in the 2nd chip of the above.

[Claim 3]

The 2nd chip of the above is an IC memory given in either claim 1 characterized by forming the capacitor for decouples in a free area, or claim 2.

[Procedure amendment 2]

[Document to be Amended] Description

[Item(s) to be Amended] 0011

[Method of Amendment] Modification

[The content of amendment]

[0011]

[Means for Solving the Problem]

In the IC memory of the multichip mold in which the IC memory concerning invention of \*\*\*\* 1 was formed with two or more semiconductor chips 1st at least one chip in which the store circuit section which has a memory cell array was formed on the semi-conductor substrate, The input circuit section into which a signal is inputted from the exterior, the output circuit section which outputs a signal to the exterior, It has the 2nd chip in which the power circuit section which supplies the power source to each internal-circuitry section was formed on the semi-conductor substrate. The 1st chip of the above The thickness of the gate oxide of the transistor which sticks on the 2nd chip, is connected and is formed in the 1st chip of the above is thinner than the thickness of the gate oxide of the transistor formed in the 2nd chip of the above.

[Procedure amendment 3]

[Document to be Amended] Description

[Item(s) to be Amended] 0012

[Method of Amendment] Deletion

[The content of amendment]

[Procedure amendment 4]

[Document to be Amended] Description

[Item(s) to be Amended] 0013

[Method of Amendment] Deletion

[The content of amendment]

[Procedure amendment 5]

[Document to be Amended] Description

[Item(s) to be Amended] 0014  
[Method of Amendment] Deletion  
[The content of amendment]

[Procedure amendment 6]  
[Document to be Amended] Description  
[Item(s) to be Amended] 0015  
[Method of Amendment] Deletion  
[The content of amendment]

[Procedure amendment 7]  
[Document to be Amended] Description  
[Item(s) to be Amended] 0016  
[Method of Amendment] Modification  
[The content of amendment]  
[0016]

The IC memory concerning invention of \*\*\*\* 2 has the thickness of the wiring layer which connects between the circuits formed in the 1st chip of the above thinner than the thickness of the wiring layer which connects between the circuits formed in the 2nd chip of the above in the 1st invention.

[Procedure amendment 8]  
[Document to be Amended] Description  
[Item(s) to be Amended] 0017  
[Method of Amendment] Modification  
[The content of amendment]  
[0017]

The IC memory concerning invention of \*\*\*\* 3 forms the capacitor for decouples in the free area of the 2nd chip of the above in the 1st or 2nd invention.

[Procedure amendment 9]  
[Document to be Amended] Description  
[Item(s) to be Amended] 0049  
[Method of Amendment] Modification  
[The content of amendment]  
[0049]

[Effect of the Invention]

The IC memory concerning the 1st invention sticks the input circuit section as which 1st at least one chip in which the store circuit section which has a memory cell array was formed on the semi-conductor substrate is inputted into a signal from the exterior, the output circuit section which outputs a signal to the exterior, and the power circuit section which supplies the power source to each internal circuitry on the 2nd chip formed on the semi-conductor substrate, and it was made to connect. From this, the die length of the signal line which can arrange now in three dimension and connects each part since the chip was connected for what was conventionally arranged two-dimensional on the same flat surface in piles can be shortened, and it becomes advantageous, when attaining improvement in the speed of operation. Moreover, by forming in the



1st chip the store circuit section with the high degree of integration which poor manufacture tends to generate, and making the chip size of the 1st chip or less [ 100mm ] into two, the yield can be improved and lowering of chip cost can be aimed at. Moreover, thickness of the gate oxide of the transistor formed in the 1st chip was made thin, and thickness of the transistor gate oxide formed in the 2nd chip was thickened. The thing suitable for thin detailed-ization of gate oxide is used for the transistor which the thick thing of gate oxide was used for the transistor into which the manufacture process of the 1st chip and the 2nd chip is independently made, and a surge etc. may be inputted from this, and which was formed in the 2nd chip, and was formed in the 1st chip. By doing in this way, when it is made detailed, surge proof-pressure lowering in the I/O section to produce can be avoided.

[Procedure amendment 10]

[Document to be Amended] Description

[Item(s) to be Amended] 0050

[Method of Amendment] Deletion

[The content of amendment]

[Procedure amendment 11]

[Document to be Amended] Description

[Item(s) to be Amended] 0051

[Method of Amendment] Deletion

[The content of amendment]

[Procedure amendment 12]

[Document to be Amended] Description

[Item(s) to be Amended] 0052

[Method of Amendment] Deletion

[The content of amendment]

[Procedure amendment 13]

[Document to be Amended] Description

[Item(s) to be Amended] 0053

[Method of Amendment] Deletion

[The content of amendment]

[Procedure amendment 14]

[Document to be Amended] Description

[Item(s) to be Amended] 0054

[Method of Amendment] Modification

[The content of amendment]

[0054]

It was made for the IC memory concerning the 2nd invention to become thinner than the thickness of the wiring layer to which the thickness of the wiring layer which connects between the circuits formed in the 1st chip connects between the circuits formed in the 2nd chip in the 1st invention. From this, the manufacture process of the 1st chip and the 2nd chip can be made

separate, the 1st chip forms a wiring layer with the thin film suitable for detailed-ization, and since it is seldom necessary to make the 2nd chip detailed, it can perform forming with a thick film easily. For this reason, wiring which connects the circuit which wiring of the 1st chip could make resistance small, formed in the 1st chip wiring which connects the circuit formed in the distant location, and was formed in the near location can attain improvement in the speed of a circuit by forming in the 2nd chip.

[Procedure amendment 15]

[Document to be Amended] Description

[Item(s) to be Amended] 0055

[Method of Amendment] Modification

[The content of amendment]

[0055]

The IC memory concerning the 3rd invention formed the capacitor for decouples in the free area of the 2nd chip with which the component is not formed in the 1st or 2nd invention. Since the above-mentioned free area can be greatly formed in the 2nd chip from this as compared with the former, the capacitor for decouples of a bigger capacity than before can be formed, and the conventional capacitors for decouples by which external was carried out can be reduced.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-209371

(43)公開日 平成10年(1998)8月7日

(51) Int.Cl. <sup>8</sup>		識別記号
H 0 1 L	25/065	
	25/07	
	25/18	
G 1 1 C	5/00	3 0 3

FI  
H01L 25/08 B  
G11C 5/00 303A

審査請求 未請求 請求項の数7 O.L (全 10 頁)

(21)出願番号 特願平9-6219

(22)出願日 平成9年(1997)1月17日

(71) 出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号

(72) 発明者 鈴木 富夫  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

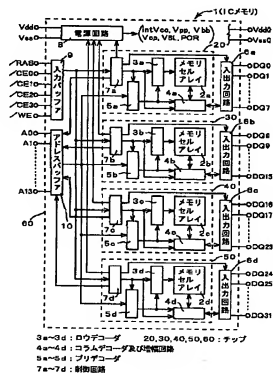
(74) 代理人 弁理士 青山 礎 (外1名)

(54) 【発明の名称】 ICメモリ

(57)【要約】

【課題】 インジェクション不良をなくすることができる  
と共に、チップコストを削減することができるICメモ  
リを得る。

【解決手段】 複数の半導体チップで形成されたマルチチップ型のICメモリにおいて、メモリセルアレイを有する記憶回路部を半導体基板上に形成した少なくとも1つの第1チップと、外部から信号が入力される入力回路部、外部へ信号を出力する出力回路部、各内部回路への電源を供給する電源回路部を半導体基板上に形成した第2チップとを備え、上記第1チップを、第2チップ上に貼り合わせて接続する。



## 【特許請求の範囲】

【請求項1】 複数の半導体チップで形成されたマルチチップ型のICメモリにおいて、メモリセルアレイを有する記憶回路部を半導体基板上に形成した少なくとも1つの第1チップと、外部から信号が入力される入力回路部、外部へ信号を出力する出力回路部、各内部回路への電源を供給する電源回路部を半導体基板上に形成した第2チップとを備え、上記第1チップは、第2チップ上に貼り合わせて接続されることを特徴とするICメモリ。

【請求項2】 上記第1チップは、パンプを用いて第2チップ上に接続されることを特徴とする請求項1に記載のICメモリ。

【請求項3】 上記第2チップは、半導体基板上に形成した2つのn<sup>+</sup>拡散領域の間に分離酸化膜領域を形成してなる、サージ吸収を行うための素子が形成されることを特徴とする請求項1又は請求項2のいずれかに記載のICメモリ。

【請求項4】 上記第1チップに形成される半導体素子の膜厚を薄くし、上記第2チップに形成される半導体素子の膜厚を厚くして形成することを特徴とする請求項1から請求項3のいずれかに記載のICメモリ。

【請求項5】 上記第1チップに形成されるトランジスタのゲート酸化膜の厚さを薄くし、上記第2チップに形成されるトランジスタのゲート酸化膜の厚さを厚くして形成することを特徴とする請求項4に記載のICメモリ。

【請求項6】 上記第1チップに形成される配線層を薄膜で形成し、上記第2チップに形成される配線層を厚膜で形成することを特徴とする請求項1から請求項5のいずれかに記載のICメモリ。

【請求項7】 上記第2チップは、空き領域にデカップル用コンデンサが形成されることを特徴とする請求項1から請求項6のいずれかに記載のICメモリ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体メモリに関するものであり、特に複数の半導体チップを用いて半導体メモリを構成したマルチチップICメモリに関するものである。

## 【0002】

【従来の技術】図7は、従来における8M×32のDRAMを形成するICメモリの回路例を示した概略ブロック図である。図7において、ICメモリ150は、メモリセルアレイ151と、ロウデコーダ152と、コラムデコーダ及び増幅回路153と、ブリデコーダ154と、入出力回路155と、電源回路156と、制御回路157と、入力バッファ158と、アドレスバッファ159とからなる。入出力回路155は、外部からのデータの入出力を行い、電源回路156は、外部から供給さ

れる電源に基づき各内部回路用のそれぞれの電圧及びパワーオンリセット用信号等が発生させる。

【0003】また、制御回路157は、ロウデコーダ152、コラムデコーダ及び増幅回路153、ブリデコーダ154、入出力回路155、電源回路156及びアドレスバッファ159の制御を行う。入力バッファ158は、ライトインペル信号及びチップインペル信号等の外部からの制御信号が入力され、アドレスバッファ159は、外部からのアドレスデータが入力される。なお、上記コラムデコーダ及び増幅回路153には、センスアンプ、コラムデコーダ、I/Oスイッチトランジスタ、プリアンプ等を含む。

【0004】図8は、上記図7で示したDRAMを1チップで形成した場合における、各回路のレイアウトを示した図である。図8において、チップ200には、201及び202の部分にそれぞれ電源回路156が形成され、203の部分には、制御回路157及び入力バッファ158が形成され、204～207の部分にメモリセルアレイ151と、ロウデコーダ152と、コラムデコーダ及び増幅回路153と、ブリデコーダ154とが形成され、208及び209の部分に入出力回路155及びアドレスバッファ159が形成される。

【0005】図9は、上記図8で示したチップ200で形成されるICメモリ150のピン配置例を示した図であり、図10は、図9で示したICパッケージ内の構造例を示した概略図である。図10において、ICメモリ150は、上記チップ200に形成された各パッド301がボンディングワイヤ302でリードフレーム303の所定の箇所それぞれ電気的に接続されている。

## 【0006】

【発明が解決しようとする課題】上記入力バッファ158、アドレスバッファ159等における入力には、入力保護回路が設けられており、該入力保護回路はサージ吸収を行う素子（以下、フィールドトランジスタと呼ぶ）が形成されている。図11は、フィールドトランジスタの構造例を示したチップ断面図である。フィールドトランジスタ400は、p形シリコン基板401に形成された2つのn<sup>+</sup>拡散領域402及び403の間に分離酸化膜領域404を形成してなる。n<sup>+</sup>拡散領域402は、絶縁膜405内に形成されたアルミ配線406に接続されてnチャネル型MOSトランジスタのソースをなし、n<sup>+</sup>拡散領域403は、絶縁膜405内に形成されたアルミ配線407に接続されてnチャネル型MOSトランジスタのドレインをなす。

【0007】上記フィールドトランジスタ400のドレインは、上記図7及び図9で示したVss端子に接続されており、フィールドトランジスタ400のソースに大きなアンダーショットが発生した信号が入力されると、p形シリコン基板401へ電子が注入される。例えば高速に動作するシステムの場合-3～-4Vのアンダーショ

ートが発生し、p形シリコン基板401は、 $V_{ss}$ 又は-1〜-2V程度にバイアスされているため、フィールドトランジスタ400のソースをなすn<sup>+</sup>拡散領域402とp形シリコン基板400が順バイアスとなり、p形シリコン基板400に電子が注入される。

【0008】上記図7から図11で示したDRAMは、1チップで形成されているため、上記フィールドトランジスタ400のソースをなすn<sup>+</sup>拡散領域402とメモリセルアレイ151が、同一基板に形成されている。このため、n<sup>+</sup>拡散領域402から注入された上記電子がメモリセルアレイ151まで到達し、メモリセルに記憶されたデータを破壊するという、いわゆるインジェクション不良が発生するという問題があった。

【0009】更に、上記のように8M×32のDRAMを1チップで形成した場合、チップサイズは約300mm<sup>2</sup>になる。しかし、チップサイズが100mm<sup>2</sup>を超えると急激に歩留まりが低下し、チップコストが上昇するという問題があった。

【0010】本発明は、上記のような問題を解決するためになされたものであり、上記インジェクション不良をなくすることができると共に、チップコストを削減することができる1Cメモリを得ることを目的とする。

【0011】

【課題を解決するための手段】本第1の発明に係る1Cメモリは、複数の半導体チップで形成されたマルチチップ型の1Cメモリにおいて、メモリセルアレイを有する記憶回路部を半導体基板上に形成した少なくとも1つの第1チップと、外部から信号が入力される入力回路部、外部へ信号を出力する出力回路部、各内部回路部への電源を供給する電源回路部を半導体基板上に形成した第2チップとを備え、上記第1チップは、第2チップ上に貼り合わせて接続されるものである。

【0012】本第2の発明に係る1Cメモリは、第1の発明において、上記第1チップが、バンプを用いて第2チップ上に接続されるものである。

【0013】本第3の発明に係る1Cメモリは、第1又は第2の発明において、半導体基板上に形成した2つのn<sup>+</sup>拡散領域の間に分離酸化膜領域を形成してなるサージ吸収を行うための素子を、上記第2チップに形成するものである。

【0014】本第4の発明に係る1Cメモリは、第1から第3の発明において、上記第1チップに形成される半導体素子の膜厚を薄くし、上記第2チップに形成される半導体素子の膜厚を厚くして形成するものである。

【0015】本第5の発明に係る1Cメモリは、第4の発明において、上記第1チップに形成されるトランジスタのゲート酸化膜の厚さを薄くし、上記第2チップに形成されるトランジスタのゲート酸化膜の厚さを厚くして形成するものである。

【0016】本第6の発明に係る1Cメモリは、第1か

ら第5の発明において、上記第1チップに形成される配線層を薄膜で形成し、上記第2チップに形成される配線層を厚膜で形成するものである。

【0017】本第7の発明に係る1Cメモリは、第1から第6の発明において、上記第2チップの空き領域にデカプル用コンデンサを形成するものである。

【0018】

【発明の実施の形態】次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

実施の形態1. 図1は、本発明の実施の形態1におけるマルチチップ1Cメモリの回路例を示したブロック図である。

【0019】図1において、1Cメモリ1は、メモリセルアレイ2a、2b、2c、2dと、ロウデコーダ3a、3b、3c、3dと、コラムデコーダ及び増幅回路4a、4b、4c、4dと、ブリデコーダ5a、5b、5c、5dと、外部とのデータの入出力を行う入出力回路6a、6b、6c、6dと、ロウデコーダ3a、コラムデコーダ及び増幅回路4a、ブリデコーダ5a並びに入出力回路6aの制御を行う制御回路7aと、ロウデコーダ3b、コラムデコーダ及び増幅回路4b、ブリデコーダ5b並びに入出力回路6bの制御を行う制御回路7bと、ロウデコーダ3c、コラムデコーダ及び増幅回路4c、ブリデコーダ5c並びに入出力回路6cの制御を行う制御回路7cと、ロウデコーダ3d、コラムデコーダ及び増幅回路4d、ブリデコーダ5d並びに入出力回路6dの制御を行う制御回路7dとを備える。

【0020】更に、1Cメモリ1は、外部から供給される電源に基づき、内部回路用の降圧電源電圧 $intV_{cc}$ 、シリコン基板バイアス用電圧 $V_{bb}$ 、ワード線駆動用の昇圧電圧 $V_{pp}$ 、セルプレート用電圧 $V_{cp}$ 及びビット線電位保持用電圧 $V_{bl}$ を発生させ、更に電源投入時のパワーオンリセット用の信号POR等が発生させる電源回路8、外部から入力されたロウアドレスストローブ信号、チップイネーブル信号及びライトイネーブル信号に基づいて生成した信号を制御回路7a〜7dに出力する入力バッファ9と、上記制御回路7a〜7dからのイネーブル信号によって制御され、外部からのアドレス信号に基づいて内部アドレス信号を生成するアドレスバッファ10とを備える。

【0021】上記入力バッファ9は、ロウアドレスストローブ信号/RASが入力される/RAS端子、チップイネーブル信号/ $CE_0$ 、/ $CE_1$ 、/ $CE_2$ 、/ $CE_3$ が入力される/ $CE_0$ 、/ $CE_1$ 、/ $CE_2$ 、/ $CE_3$ の各端子及びライトイネーブル信号/WEが入力される/WE端子にそれぞれ接続され、更に、各制御回路7a〜7dにそれぞれ接続される。また、入力アドレスバッファ10は、アドレス信号A0〜A13が入力されるA0〜A13の各端子にそれぞれ接続され、更に各ブリデコーダ5a〜5dにそれぞれ接続される。なお、/は、信号レベルの

反転を示している。

【0022】上記各制御回路7 a～7 dは、それぞれ対応する、ロウデコード3 a～3 d、コラムデコード及び増幅回路4 a～4 d、ブリデコード5 a～5 d並びに入出力回路6 a～6 dに接続され、更に、電源回路8及びアドレスバッファ10にそれぞれ接続される。また、ロウデコード3 a～3 d、並びにコラムデコード及び増幅回路4 a～4 dは、それぞれ対応するメモリセルレイ2 a～2 dに接続され、更にコラムデコード及び増幅回路4 a～4 dは、それぞれ対応する入出力回路6 a～6 dに接続される。上記ブリデコード5 a～5 dは、それぞれ対応するロウデコード3 a～3 dに接続されると共に、それぞれ対応するコラムデコード及び増幅回路4 a～4 dに接続される。更に、コラムデコード及び増幅回路4 a～4 dは、対応する入出力回路6 a～6 dに接続される。

【0023】上記入出力回路6 aは、データ入出力端子DQ0～DQ7の各端子に接続され、入出力回路6 bは、データ入出力端子DQ8～DQ15の各端子に接続され、入出力回路6 cは、データ入出力端子DQ16～DQ23の各端子に接続され、入出力回路6 dは、データ入出力端子DQ24～DQ31の各端子に接続される。上記電源回路8は、電源端子V<sub>dd</sub>及びV<sub>ss</sub>に接続され、更に、各回路へ電源の供給等を行うがその接続は省略する。なお、1 Cメモリ1には、電源端子V<sub>dd</sub>及びV<sub>ss</sub>とは別に、電源端子V<sub>ddQ</sub>及びV<sub>ssQ</sub>を備えており、該電源端子V<sub>ddQ</sub>及びV<sub>ssQ</sub>は、各回路の所定の箇所に接続されるがここではその接続を省略している。

【0024】上記コラムデコード及び増幅回路4 a～4 dは、対応するロウデコード3 a～3 dにより選択されたワード線によって接続されるメモリセルのデータを増幅するためのセンスアンプと、対応するブリデコード5 a～5 dの出力に基づいて該センスアンプを選択するためのコラムデコードと、コラムデコードからの出力信号に基づいて上記センスアンプをローカルI/O線へ接続するためのI/Oスイッチトランジスタと、該ローカルI/O線へ読み出された信号を増幅するブリアンプ等を含む。更に、上記コラムデコード及び増幅回路4 a～4 dは、対応する入出力回路6 a～6 dの出力信号に基づいて、対応するメモリセルレイ2 a～2 dへデータを書き込むためのライト回路を含むようにしてもよい。

【0025】上記ブリデコード5 a～5 dは、アドレスバッファ10から入力された内部アドレス信号からブリデコード信号を生成し、該ブリデコード信号を対応するロウデコード3 a～3 d、並びにコラムデコード及び増幅回路4 a～4 dに出力する。また、上記入出力回路6 a～6 dは、対応するコラムデコード及び増幅回路4 a～4 dにおけるブリアンプの出力信号に基づいて各データ端子からデータを出力する。なお、上記メモリセルレイ2 a～2 d、ロウデコード3 a～3 d、コラムデ

コード及び増幅回路4 a～4 d、ブリデコード5 a～5 d及び制御回路7 a～7 dが記憶回路部をなし、入出力回路6 a～6 d、入力バッファ9及びアドレスバッファ10が入力回路部をなし、入出力回路6 a～6 dは出力回路部をもなす。また、上記電源回路8が電源回路部をなす。

【0026】上記のような構成において、メモリセルレイ2 a、ロウデコード3 a、コラムデコード及び増幅回路4 a、ブリデコード5 a並びに制御回路7 aを1つのチップで形成してチップ20とし、メモリセルレイ2 b、ロウデコード3 b、コラムデコード及び増幅回路4 b、ブリデコード5 b並びに制御回路7 bを1つのチップで形成してチップ30とし、メモリセルレイ2 c、ロウデコード3 c、コラムデコード及び増幅回路4 c、ブリデコード5 c並びに制御回路7 cを1つのチップで形成してチップ40とし、メモリセルレイ2 d、ロウデコード3 d、コラムデコード及び増幅回路4 d、ブリデコード5 d並びに制御回路7 dを1つのチップで形成してチップ50とする。

【0027】更に、上記入出力回路6 a～6 d、電源回路8、入力バッファ9及びアドレスバッファ10を1つのチップで形成してチップ60とし、該チップ60上に、上記各チップ20、30、40、50をそれぞれ配置して接続する。ここで、上記制御回路7 a～7 dは、それぞれ形成されたチップをイネーブルにする信号が入力されると、電源回路8に信号を出力し、電源回路8は、該信号を受けなかった制御回路が形成された各チップに対して供給する電源の容量を小さくする。なお、上記チップ20、30、40、50が第1チップをなし、上記チップ60が第2チップをなす。

【0028】次に、図2は、上記チップ20、30、40、50をチップ60上に配置するレイアウト例を示した図である。図2において、チップ20には、21～24の部分にメモリセルレイ2 a、ロウデコード3 a、コラムデコード及び増幅回路4 a、並びにブリデコード5 aが形成され、25の部分に制御回路7 aが形成される。チップ30には、31～34の部分にメモリセルレイ2 b、ロウデコード3 b、コラムデコード及び増幅回路4 b、並びにブリデコード5 bが形成され、35の部分に制御回路7 bが形成される。

【0029】同様に、チップ40には、41～44の部分にメモリセルレイ2 c、ロウデコード3 c、コラムデコード及び増幅回路4 c、並びにブリデコード5 cが形成され、45の部分に制御回路7 cが形成される。チップ50には、51～54の部分にメモリセルレイ2 d、ロウデコード3 d、コラムデコード及び増幅回路4 d、並びにブリデコード5 dが形成され、55の部分に制御回路7 dが形成される。また、チップ60には、61～64の部分に入出力回路6 a～6 d、入力バッファ9及びアドレスバッファ10が形成され、65の部分に

10

20

30

40

50

7

電源回路8が形成される。更に、チップ80上には上記チップ20、30、40、50がそれぞれ配置されると共に接続される。

【0030】通常、集積度が高い回路部分の不良率は高く、更にチップサイズが100mm<sup>2</sup>を超えると急激に歩留まりが低下することから、集積度が高くなる回路部分を上記チップ20、30、40、50に分割して形成する共に、チップ20、30、40、50のチップサイズを100mm<sup>2</sup>を超えないようにすることにより、歩留まりを良くしてチップコストを低下させることができる。なお、本実施の形態1においては、集積度が高くなる部分を、4つのチップ20、30、40、50に分割して形成したが、これに限定するものではなく、チップ20、30、40、50のチップサイズが100mm<sup>2</sup>を超える場合、集積度が高くなる部分を更に多くのチップに分割するようにして、チップサイズが100mm<sup>2</sup>以下になるようにすればよい。

【0031】次に、図3は、チップ80上にチップ20を接続する接続方法を示した概略の断面図であり、図3を用いて、チップ80上にチップ20、30、40、50を接続する方法についてチップ20を例にして説明する。なお、図3においては、説明を分かりやすくするために、チップ20及び80に形成された各デバイスは省略しており、チップ20及び80の接続に関する部分のみを示している。また、図3では、チップ20及び80の一部分のみを示している。

【0032】図3において、チップ20の各デバイスが形成された1方の面には、接続用の電極71及び72が形成されており、該電極71及び72上にはそれぞれ絶縁膜73が形成されていない。同様に、チップ80の各デバイスが形成された1方の面には、接続用の電極75及び76が形成され、更にボンディングワイヤを用いてリードフレームに接続するためのパッド77が形成されており、該電極75、76及びパッド77上にはそれぞれ絶縁膜78が形成されていない。上記電極71と電極75、及び電極72と電極76とはそれぞれ対応した位置に形成されており、パッド81を用いて電極71と電極75が接続され、パッド82を用いて電極72と電極76が接続される。

【0033】図4は、本実施の形態1のICメモリにおけるICパッケージ内の構造例を示した概略図である。図4において、ICメモリ1は、チップ20、30、40、50を上記図3で示した方法で接続したチップ80に形成された各パッド77が、ボンディングワイヤ85でリードフレーム86の所定の箇所それぞれ電気的に接続されている。

【0034】次に、図5は、上記図1で示したアドレスパッド10の一部分を示す回路例である。なお、図5で示すパッド77は、パッド77aとする。図5において、外部からアドレス信号が入力されるパッド77に

8

は、フィールドトランジスタを有する入力保護回路91が接続されている。該入力保護回路91は、フィールドトランジスタ92、nチャネル型MOSトランジスタ93及び2つの抵抗94、95で形成されている。

【0035】パッド77aには、抵抗94を介してフィールドトランジスタ92のソースが接続されており、該接続部には抵抗95を介してnチャネル型MOSトランジスタ93のドレインが接続される。フィールドトランジスタ92のドレイン、nチャネル型MOSトランジスタ93のゲート及びソースは、それぞれV<sub>ss</sub>端子に接続される。nチャネル型MOSトランジスタ93のドレインと抵抗95との接続部は、NOR回路96の一方の入力端子に接続され、NOR回路96の他方の入力端子には、パッド77に不定入力電位が印加されたときに、NOR回路96に流れる電流を防止するためのアドレスパッド・イーナブル信号/CA1が入力される。

【0036】上記NOR回路97の出力には、インバータ回路97を介して、トランスミッションゲート98に接続され、該トランスミッションゲート98は、2つのインバータ回路99、100で形成したラッチ回路101に接続され、該ラッチ回路101は、インバータ回路102を介して各ブリッジコーダ5a～5dに接続される。また、パッド77に入力されたビデ信号を所定のタイミングで上記ラッチ回路101にラッチさせるためのアドレスラッチ信号/CALが、トランスミッションゲート98を形成するnチャネル型MOSトランジスタのゲート及びインバータ回路103を介してpチャネル型MOSトランジスタのゲートにそれぞれ入力される。

【0037】このような構成において、上記入力保護回路91を含めたアドレスパッド10は、上記図2で示したチップ80に形成されており、フィールドトランジスタ92もチップ80に形成されている。ここで、メモリアレイ2a～2dは、チップ80に形成されており、チップ20、30、40、50にそれぞれ形成されている。このことから、フィールドトランジスタ92とメモリアレイ2a～2dが同一チップに形成されていないため、パッド77から入力される信号におけるアンダーシュートによって発生するインжекション不良を防止することができる。なお、上記入力保護回路91を構成するnチャネル型MOSトランジスタ93は、動作チェック用に使用されるものである。

【0038】図6は、上記図1で示した入出力保護回路6a～6dの一部分を示す回路例である。なお、図6で示すパッド77はパッド77bとする。図6において、パッド77bには、nチャネル型MOSトランジスタ111のソースとnチャネル型MOSトランジスタ112のドレインが接続されており、nチャネル型MOSトランジスタ111のドレインはICメモリ1の電源端子V<sub>ddq</sub>に接続されており、nチャネル型MOSトランジスタ112のソースはICメモリ1の電源端子V<sub>ssq</sub>に接続さ

れている。

【0039】nチャネル型MOSトランジスタ111のゲートは、レベル変換回路113の出力に接続されており、該レベル変換回路113の入力はNAND回路114の出力に接続されている。NAND回路114の一方の入力にはNAND回路115の一方の入力が接続されており、該接続部は、制御回路からのアウトプットインパルス信号OEMが入力される。

【0040】NAND回路114の他方の入力端子には、入出力回路に対応するコラムデコーダ及び増幅回路からのデータ信号DATAが入力され、NAND回路115の他方の入力には、入出力回路に対応するコラムデコーダ及び増幅回路からの反転データ信号/DATAが入力される。NAND回路115の出力は、インバータ回路116の入力に接続され、インバータ回路116の出力は、nチャネル型MOSトランジスタ112のゲートに接続される。

【0041】また、上記レベル変換回路113において、電源端子117は電源回路8に接続され、電源回路8から昇圧電圧Vppが供給され、電源端子118はICメモリ1のVss端子に接続される。なお、上記電源端子117をICメモリ1のVd端子に接続してもよい。このように、レベル変換回路113の電源端子117、118と、nチャネル型MOSトランジスタ111、112に接続される電源を分けることにより、パッド77bからデータが出力されるデータ出力時に発生するノイズが、チップ基板を介してレベル変換回路113に回り込むことを防止できる。また、レベル変換回路113の電源端子117に昇圧電圧Vppを供給することにより、パッド77bから出力される信号の「H」レベルを高くすることができる。

【0042】ここで、上記NAND回路114及び115の各入力、コラムデコーダ及び増幅回路に接続されることから、上記入出力回路6a～6dにおいて、上記NAND回路114及び115の部分だけを、対応するチップ20、30、40、50に形成することができる。このようにすることによって、配線を短くことができ、配線の簡略化を行うことができると共に、パンプの数を削減することができるため、コストダウンを行うことができる。

【0043】更に、上記チップ60における61～65の領域以外の空き領域に、2層の金属配線層と分離酸化膜を形成することによってデカプル用コンデンサを形成することができる。ICメモリ1をチップ60上にチップ20、30、40、50を接続するマルチチップ構造にしたことから、従来の1チップで形成した場合と比較して、チップ60に上記空き領域を大きく形成することができるため、従来よりも大きな容量のデカプル用コンデンサを形成することができ、従来、外付けされていたデカプル用コンデンサを削減することができる。

【0044】このようにチップ60に形成したデカプル用コンデンサを、ICメモリ1のVd端子及びVss端子間、又は電源回路8の昇圧電圧Vppを出力する端子及びICメモリ1のVss端子間に接続することにより、ノイズの低減を図ることができる。また、チップ20、30、40、50で消費される電源用のデカプル用コンデンサとして使用することもできる。

【0045】上記のように、本発明の実施の形態1におけるマルチチップICメモリは、集積度の高い回路部分である、メモリセルアレイ2a～2d、ロウデコーダ3a～3d、コラムデコーダ及び増幅回路4a～4d、プリデコーダ5a～5d及び制御回路7a～7dをそれぞれチップ20、30、40、50に形成し、比較的集積度の低い回路部分である入出力回路6a～6d、電源回路8、入力バッファ9及びアドレスバッファ10をチップ60に形成し、上記チップ20、30、40、50をそれぞれチップ60上に配置して接続した。

【0046】このことから、従来は同一平面上に2次元的にレイアウトされていたものを、チップを重ねて接続するようにしたため、3次元的にレイアウトできるようになり、各部分を接続する信号線の長さを短くすることができ、動作の高速化を図る上で有利となる。また、チップ20、30、40、50とチップ60との製造プロセスを別々にできることから、チップ20、30、40、50は、配線層を微細化に適した薄膜で形成し、チップ60は、あまり微細化する必要がないため厚膜で形成することが容易となる。このため、チップ60の配線は、抵抗値を小さくすることができ、離れた場所に形成された回路を接続する配線は、チップ60に形成し、近い場所に形成された回路を接続する配線は、チップ20、30、40、50に形成することにより、回路の高速化を図ることができる。

【0047】更に、チップ20、30、40、50に形成されたトランジスタ、及びチップ60に形成されたトランジスタのゲート酸化膜を交換することも容易にできる。すなわち、サージ等が入力される可能性のある、チップ60に形成された入力バッファ、アドレスバッファ及び入出力回路等を形成するトランジスタは、ゲート酸化膜の厚いものを使用し、チップ20、30、40、50に形成された制御回路等を形成するトランジスタは、ゲート酸化膜の薄い微細化に適したものを使用する。このようにすることによって、微細化したときに生じる入出力部でのサージ耐低下を回避することができる。また、メモリセルアレイをチップ20、30、40、50に形成し、フィールドトランジスタをチップ60に形成し、メモリセルアレイとフィールドトランジスタとを異なるチップにそれぞれ形成することができ、インжекション不良を防止することができる。

【0048】また、製造不良が発生しやすい集積度の高い回路部分をチップ20、30、40、50に形成し



て、チップ20、30、40、50の各チップサイズを100mm<sup>2</sup>以下にすることにより、歩留まりを良くすることができチップコストの低下を図ることができる。

#### 【0049】

【発明の効果】第1の発明に係る1Cメモリは、メモリセルアレイを有する記憶回路部を半導体基板上に形成した少なくとも1つの第1チップを、外部から信号が入力される入力回路部、外部へ信号を出力する出力回路部、各内部回路への電源を供給する電源回路部を半導体基板上に形成した第2チップ上に貼り合わせて接続するようにした。このことから、従来は同一平面上に2次的にレイアウトされていたものを、チップを重ねて接続するようにしたため、3次的にレイアウトできるようになり、各部分を接続する信号線の長さを短くすることができ、動作の高速化を図る上で有利となる。また、製造不良が発生しやすい集積度の高い記憶回路部を第1チップに形成して、第1チップのチップサイズを100mm<sup>2</sup>以下にすることにより、歩留まりを良くすることができチップコストの低下を図ることができる。

【0050】第2の発明に係る1Cメモリは、第1の発明において、具体的には、バンクを用いて第2チップ上に第1チップを接続した。このことから、従来は同一平面上に2次的にレイアウトされていたものを、チップを重ねてバンクで接続するようにしたため、3次的にレイアウトできるようになり、各部分を接続する信号線の長さを短くすることができ、動作の高速化を図る上で有利となる。また、製造不良が発生しやすい集積度の高い記憶回路部を第1チップに形成して、第1チップのチップサイズを100mm<sup>2</sup>以下にすることにより、歩留まりを良くすることができチップコストの低下を図ることができる。

【0051】第3の発明に係る1Cメモリは、第1又は第2の発明において、半導体基板上に形成した2つのn<sup>+</sup>拡散領域の間に分離酸化膜領域を形成してなる、サージ吸収を行うための素子を、第2チップに形成した。このことから、メモリセルアレイを第1チップに形成し、上記サージ吸収を行うための素子を第2チップに形成したことから、メモリセルアレイに起きるインジェクション不良を防止することができる。

【0052】第4の発明に係る1Cメモリは、第1から第3の発明において、第1チップに形成する半導体素子の膜厚を薄くし、第2チップに形成する半導体素子の膜厚を厚くした。このことから、第1チップと第2チップとの製造プロセスを別々にでき、サージ等が入力される可能性のある、第2チップに形成された半導体素子の膜厚を厚くすることにより、微細化したときに生じる入出力部でのサージ耐圧低下を回避することができる。

【0053】第5の発明に係る1Cメモリは、第4の発明において、具体的には、第1チップに形成されるトランジスタのゲート酸化膜の厚さを薄くし、第2チップに

形成されるトランジスタゲート酸化膜の厚さを厚くした。このことから、第1チップと第2チップとの製造プロセスを別々にでき、サージ等が入力される可能性のある、第2チップに形成されたトランジスタは、ゲート酸化膜の厚いものを使用し、第1チップに形成されたトランジスタは、ゲート酸化膜の薄い微細化に適したものを使用する。このようにすることによって、微細化したときに生じる入出力部でのサージ耐圧低下を回避することができる。

【0054】第6の発明に係る1Cメモリは、第1から第5の発明において、第1チップに形成される配線層を薄膜で形成し、第2チップに形成される配線層を厚膜で形成した。このことから、第1チップと第2チップとの製造プロセスを別々にでき、第1チップは、配線層を微細化に適した薄膜で形成し、第2チップは、あまり微細化する必要がないため厚膜で形成することが容易にできる。このため、第1チップの配線は、抵抗値を小さくすることができ、離れた場所に形成された回路を接続する配線は、第1チップに形成し、近い場所に形成された回路を接続する配線は、第2チップに形成することにより、回路の高速化を図ることができる。

【0055】第7の発明に係る1Cメモリは、第1から第6の発明において、素子が形成されていない第2チップの空き領域に、デカップル用コンデンサを形成した。このことから、従来と比較して、第2チップに上記空き領域を大きく形成することができるため、従来よりも大きな容量のデカップル用コンデンサを形成することができ、外付けされていた従来のデカップル用コンデンサを削減することができる。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるマルチチップ1Cメモリの回路例を示したブロック図である。

【図2】 チップ20、30、40、50をチップ60上に配置するレイアウト例を示した図である。

【図3】 チップ60上にチップ20を接続する接続方法を示した概略の断面図である。

【図4】 本発明の実施の形態1における1Cメモリの1Cパッケージ内の構造例を示した概略図である。

【図5】 図1で示したアドレスバッファ10の一部分を示す回路例である。

【図6】 図1で示した入出力回路6a～6dの一部分を示す回路例である。

【図7】 従来におけるDRAMを形成する1Cメモリの回路例を示した概略ブロック図である。

【図8】 図7で示したDRAMを1チップで形成した場合における、各回路のレイアウトを示した図である。

【図9】 図8で示したチップ200で形成される1Cメモリ150のビン配置例を示した図である。

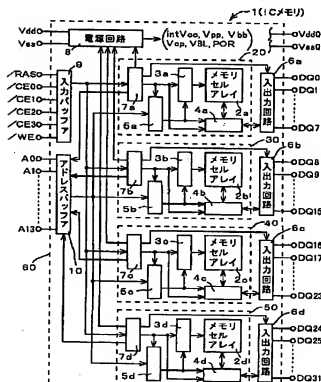
【図10】 図9で示した1Cパッケージ内の構造例を示した概略図である。

【図11】 フィールドトランジスタの構造例を示したチップ断面図である。

【符号の説明】

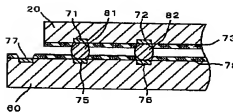
1 ICメモリ、2a~2d メモリセルアレイ、3a~3d ロウデコーダ、4a~4d コラムデコ

【図1】

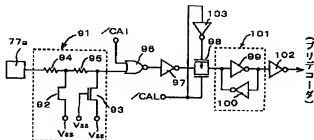


3a~3d : ロウデコーダ 20,30,40,50,60 : チップ  
4a~4d : コラムデコーダ及び増幅回路  
5a~5d : ブリデコーダ  
7a~7d : 制御回路

【図3】

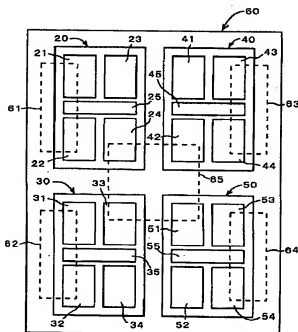


【図5】

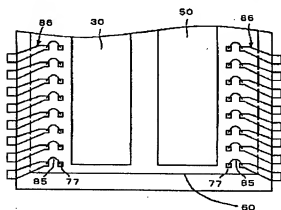
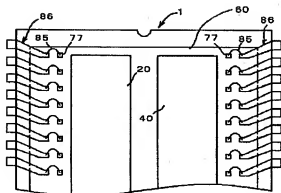


\*エータ及び増幅回路、5a~5d ブリデコーダ、6a~6d 入出力回路、7a~7d 制御回路、8電源回路、9 入力バッファ、10 アドレスバッファ、20,30,40,50,60 チップ、81 バンプ

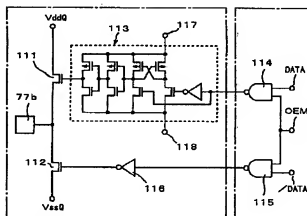
【図2】



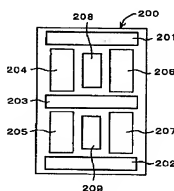
【図4】



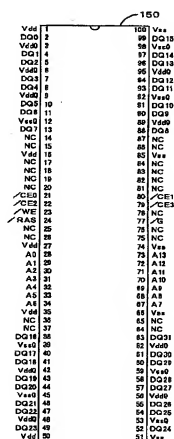
【図6】



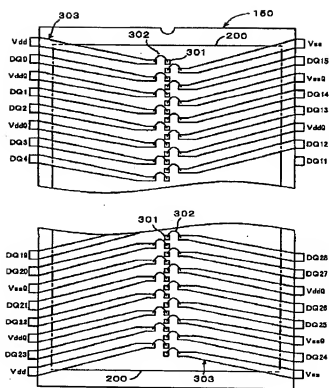
【図8】



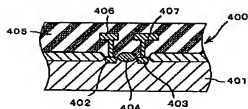
【図9】



【図10】



【図11】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成16年12月16日(2004.12.16)

【公開番号】特開平10-209371

【公開日】平成10年8月7日(1998.8.7)

【出願番号】特願平9-6219

【国際特許分類第7版】

H 0 1 L 25/065

H 0 1 L 25/07

H 0 1 L 25/18

G 1 1 C 5/00

【F I】

H 0 1 L 25/08 B

G 1 1 C 5/00 3 0 3 A

【手続補正書】

【提出日】平成16年1月7日(2004.1.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の半導体チップで形成されたマルチチップ型のICメモリにおいて、メモリセルアレイを有する記憶回路部を半導体基板上に形成した少なくとも1つの第1チップと、外部から信号が入力される入力回路部、外部へ信号を出力する出力回路部、各内部回路への電源を供給する電源回路部を半導体基板上に形成した第2チップとを備え、上記第1チップは、第2チップ上に貼り合わせて接続され、上記第1チップに形成されるトランジスタのゲート酸化膜の厚さが、上記第2チップに形成されるトランジスタのゲート酸化膜の厚さよりも薄いことを特徴とするICメモリ。

【請求項2】

上記第1チップに形成される回路間を接続する配線層の膜厚が、上記第2チップに形成される回路間を接続する配線層の膜厚よりも薄いことを特徴とする請求項1に記載のICメモリ。

【請求項3】

上記第2チップは、空き領域にデカップル用コンデンサが形成されることを特徴とする請求項1又は請求項2のいずれかに記載のICメモリ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

【課題を解決するための手段】

本第1の発明に係るICメモリは、複数の半導体チップで形成されたマルチチップ型のICメモリにおいて、メモリセルアレイを有する記憶回路部を半導体基板上に形成した少なくとも1つの第1チップと、外部から信号が入力される入力回路部、外部へ信号を出力す

る出力回路部、各内部回路部への電源を供給する電源回路部を半導体基板上に形成した第2チップとを備え、上記第1チップは、第2チップ上に貼り合わせて接続され、上記第1チップに形成されるトランジスタのゲート酸化膜の厚さが、上記第2チップに形成されるトランジスタのゲート酸化膜の厚さよりも薄いものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】削除

【補正の内容】

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】削除

【補正の内容】

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】削除

【補正の内容】

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】削除

【補正の内容】

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

本第2の発明に係るICメモリは、第1の発明において、上記第1チップに形成される回路間を接続する配線層の膜厚が、上記第2チップに形成される回路間を接続する配線層の膜厚よりも薄いものである。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

本第3の発明に係るICメモリは、第1又は第2の発明において、上記第2チップの空き領域にデカップル用コンデンサを形成するものである。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

## 【0049】

## 【発明の効果】

第1の発明に係るICメモリは、メモリセルアレイを有する記憶回路部を半導体基板上に形成した少なくとも1つの第1チップを、外部から信号が入力される入力回路部、外部へ信号を出力する出力回路部、各内部回路への電源を供給する電源回路部を半導体基板上に形成した第2チップ上に貼り合わせて接続するようにした。このことから、従来は同一平面上に2次元的にレイアウトされていたものを、チップを重ねて接続するようにしたため、3次元的にレイアウトできるようになり、各部分を接続する信号線の長さを短くすることができ、動作の高速化を図る上で有利となる。また、製造不良が発生しやすい集積度の高い記憶回路部を第1チップに形成して、第1チップのチップサイズを100mm<sup>2</sup>以下にすることにより、歩留まりを良くすることができチップコストの低下を図ることができる。また、第1チップに形成されるトランジスタのゲート酸化膜の厚さを薄くし、第2チップに形成されるトランジスタゲート酸化膜の厚さを厚くした。このことから、第1チップと第2チップとの製造プロセスを別々にでき、サージ等が入力される可能性のある、第2チップに形成されたトランジスタは、ゲート酸化膜の厚いものを使用し、第1チップに形成されたトランジスタは、ゲート酸化膜の薄い微細化に適したものを使用する。このようにすることによって、微細化したときに生じる入出力部でのサージ耐圧低下を回避することができる。

## 【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】削除

【補正の内容】

## 【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】削除

【補正の内容】

## 【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】削除

【補正の内容】

## 【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】削除

【補正の内容】

## 【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

## 【0054】

第2の発明に係るICメモリは、第1の発明において、第1チップに形成される回路間を接続する配線層の膜厚が、第2チップに形成される回路間を接続する配線層の膜厚よりも

薄くなるようにした。このことから、第1チップと第2チップとの製造プロセスを別々にでき、第1チップは、配線層を微細化に適した薄膜で形成し、第2チップは、あまり微細化する必要がないため厚膜で形成することが容易にできる。このため、第1チップの配線は、抵抗値を小さくすることができ、離れた場所に形成された回路を接続する配線は、第1チップに形成し、近い場所に形成された回路を接続する配線は、第2チップに形成することにより、回路の高速化を図ることができる。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正の内容】

【0055】

第3の発明に係るICメモリは、第1又は第2の発明において、素子が形成されていない第2チップの空き領域に、デカップル用コンデンサを形成した。このことから、従来と比較して、第2チップに上記空き領域を大きく形成することができるため、従来よりも大きな容量のデカップル用コンデンサを形成することができ、外付けされていた従来のデカップル用コンデンサを削減することができる。